

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

PAT-NO: JP402110973A

DOCUMENT-IDENTIFIER: JP 02110973 A

TITLE: MOS TYPE SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF

PUBN-DATE: April 24, 1990

INVENTOR-INFORMATION:

NAME

FUKUDA, ETSUO

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP63263147

APPL-DATE: October 19, 1988

INT-CL (IPC): H01L029/784

US-CL-CURRENT: 257/330, 257/336, 257/408, 257/E29.13,
257/E29.267, 438/297

ABSTRACT:

PURPOSE: To obtain a MOS semiconductor device which is micronized in structure, high in breakdown strength against punch-through, and reduced in a short channel effect by a method wherein a semicylindrical recessed part is formed on the surface of a semiconductor substrate, and a MOS transistor, whose structure is such that a gate electrode 4 is provided to the recessed part through the intermediary of gate insulating film, is provided.

CONSTITUTION: A MOS type semiconductor device of this design is possessed of a MOS transistor, which is composed of a semicylindrical recessed part 2 formed on the surface of a semiconductor substrate 1, a gate electrode 4 formed to be buried in the recessed part 2 through the intermediary of a gate insulating film 3, and source and drain layers 5<SB>1</SB>, 6<SB>1</SB>, 5<SB>2</SB>, 6<SB>2</SB> formed being self-aligned with the gate electrode 4. For instance, the channel region of a P-type Si substrate is processed to be provided with a recessed part 2, the gate electrode 4 is formed to be buried in the recessed part 2 through the intermediary of the gate insulating film 3, and the source and the drain layer are formed at the ends of the semicylindrical recessed part 2 being self-aligned with the gate electrode 4. And, the source and the drain layer are composed of low impurity concentration n^{+} -type layers 5<SB>1</SB> and 5<SB>2</SB> and high impurity concentration n^{+} -layers 6<SB>1</SB> and 6<SB>2</SB> positioned above the layers 5<SB>1</SB> and 5<SB>2</SB> to constitute an LDD structure.

COPYRIGHT: (C)1990,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-110973

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)4月24日

H 01 L 29/784

8422-5F

H 01 L 29/78

3 0 1 V

審査請求 未請求 請求項の数 3 (全4頁)

⑭ 発明の名称 MOS型半導体装置およびその製造方法

⑯ 特 願 昭63-263147

⑰ 出 願 昭63(1988)10月19日

⑱ 発 明 者 福 田 悦 生 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

MOS型半導体装置およびその製造方法

2. 特許請求の範囲

(1) 半導体基板表面に半円筒型の凹部が形成され、前記凹部にゲート絶縁膜を介してゲート電極が埋込み形成され、前記ゲート電極に自己整合的にソース、ドレイン層が形成されたMOSトランジスタを有することを特徴とするMOS型半導体装置。

(2) ソース、ドレイン層は、深い低不純物濃度層とこれより浅い高不純物濃度層とからなる請求項1記載のMOS型半導体装置。

(3) 半導体基板に等方性エッチングにより半円筒型の凹部を形成する工程と、前記凹部にゲート絶縁膜を介してゲート電極を埋込み形成する工程と、前記ゲート電極をマスクとして加速エネルギーを異ならせた不純物イオン注入を連続的に行なって深い低不純物濃度層とこれより浅い高不純物濃度層からなるソース、ドレイン層を形成する

工程とを有することを特徴とするMOS型半導体装置の製造方法。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、微細構造のMOSトランジスタを有するMOS型半導体装置とその製造方法に関する。

(従来の技術)

MOS集積回路は、微細加工技術の進歩により高集積化の一途を辿っている。微細MOSトランジスタでは良く知られているように、短チャネル効果や狭チャネル効果が現われ、またパシスル耐圧の低下も顕著に現われる。このような微細化に伴う特性劣化を補償するため従来より、LDD構造が用いられている。これは、ソース、ドレイン層のチャネル領域に接する部分に低不純物濃度層を形成するものである。しかしながら、LDD構造を形成するには、ゲート電極をマスクとして不純物のイオン注入を行い、次いでゲート

電極の側壁に選択的に絶縁膜を形成して、再度この絶縁膜とゲート電極をマスクとして不純物のイオン注入を行なう、というかなり複雑な工程を必要とする。

また、微細化に伴う特性劣化を補償するに適した他の構造として、C. A. T. Salama 等より提案された、第3図に示すV MOS構造、第4図に示すU MOS構造がある。これらの構造によれば、平面的に見たソース、ドレイン間距離を小さくしても実質的なチャネル長はこれより長くできるから、十分に高いパンチスルー耐圧が得られ、また短チャネル効果等も抑制される。しかしこれらの構造にも問題がある。第1に、V溝の尖った部分AあるいはU溝の尖った部分B₁、B₂でのストレスが大きく、欠陥性のリーク電流が大きくなる。第2に、これらの尖った部分では表面ラフネス散乱やクーロン散乱を受け易くなり、この結果チャネル領域でのキャリアの実効的な移動度が低下して相互コンダクタンスが低下する。

にゲート絶縁膜を介してゲート電極を埋込み形成した後、ゲート電極をマスクとして加速エネルギーを異ならせたイオン注入を連続的に行なって低不純物濃度層とこれより浅い高不純物濃度層とからなるソース、ドレイン層を形成することを特徴とする。

(作用)

本発明の構造では、チャネル領域が半円筒型の凹部をもって形成されるため、V MOS、U MOSと同様の理由で短チャネル効果の改善、パンチスルー耐圧の向上が図られる。しかもV MOS、U MOSとは異なり、チャネル領域は一樣な曲率を持った連続曲面をなしているために、欠陥性のリーク電流が低減され、また相互コンダクタンスの低下も防止される。

本発明の構造では、チャネル領域およびゲート絶縁膜には向心力となる電界が形成され、この電界分布もパンチスルー耐圧の向上やチャネルのキャリア移動度の向上に寄与する。

本発明の方法によれば、LDD構造を得るのに

(発明が解決しようとする課題)

以上のように従来より、MOSトランジスタの微細化による特性劣化に対して種々の対策がとられているが、LDD構造は製造工程が複雑であり、V MOS構造やU MOS構造ではストレスによりリーク電流の増大し、また実効的な移動度低下により相互コンダクタンスが低下する等の問題があった。

本発明はこの様な問題を解決したMOS型半導体装置とその製造方法を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明にかかる半導体装置は、半導体基板のチャネル領域に半円筒型の凹部が形成され、この凹部にゲート絶縁膜を介してゲート電極が埋込み形成された構造のMOSトランジスタを有することを特徴とする。

本発明の方法は、半導体基板に等方性エッチング法を用いて半円筒型の凹部を形成し、その凹部

平面型の場合のようにゲート電極の側壁に絶縁膜スペーサを設けるという工程を必要としない。即ち本発明では、チャネル領域端部は垂直またはこれに近い傾斜を持つから、ソース、ドレイン層の形成には加速エネルギーを切替えたイオン注入を連続的に行なうことにより簡単にLDD構造を実現することができる。

(実施例)

以下、本発明の実施例を説明する。

第1図は、一実施例のMOS集積回路における一つのMOSトランジスタの断面構造を示す。p型Si基板1のチャネル領域には、半円筒型の凹部2が加工され、この凹部2にゲート絶縁膜3を介してゲート電極4が埋込み形成されている。ゲート電極4に自己整合的に半円筒型凹部2の端部にソース、ドレイン層が形成されている。ソース、ドレイン層は、低不純物濃度のn⁻型層5₁、5₂とこれより浅い高不純物濃度のn⁺型層6₁、6₂とから構成されて、LDD構造をなしている。全体はCVD絶縁膜7で覆われ、これにコンタク

ト孔を開けてソース、ドレイン電極 8_1 、 8_2 が形成されている。

第2図(a)～(f)は、この実施例のMOSトランジスタの製造工程を示す断面図である。先ず、S i 基板1を等方性エッチング法によりエッチングして半円筒型の凹部2を形成する(a)。その後、熱酸化によりゲート絶縁膜3を形成した後、ゲート電極材料となる多結晶シリコン膜4。を表面がほぼ平坦になるように厚く堆積形成する(b)。そして必要ならフォトレジスト等を用いて平坦化処理を行なった後、全面エッチングを行い、基板の平坦面上に僅かに多結晶シリコン膜4。が残る状態で平坦化した多結晶シリコン膜4。を得る(c)。その後、フォトレジスト9をパターン形成し、これを用いて多結晶シリコン膜4。をエッチングしてゲート電極4を凹部2内に埋め込まれた状態に形成する(d)。そして、加速エネルギーを途中で切替えるイオン注入を行なって、ソース、ドレイン領域に n^- 型層 5_1 、 5_2 とこれより浅い n^+ 型層 6_1 、 6_2 の二層構

造を形成する(e)。最後に全面をC V D 絶縁膜7で覆い、これにコンタクト孔を開けてソース、ドレイン電極 8_1 、 8_2 を形成する(f)。

この実施例によれば、ゲート長に比べて長いチャネル長が得られるから、パンチスルー耐圧の向上、短チャネル効果の低減等が図られ、微細寸法で優れた特性を持つMOSトランジスタが得られる。しかも、チャネル領域は滑らかな曲面を描いているから、ストレスに起因する欠陥性のリーク電流が低減される。

またこの実施例の方法により、イオン注入のエネルギーを切替えるだけで簡単にLDD構造を実現することができる。

本発明は上記実施例に限られない。例えば実施例では、ゲート電極のパターニングにリソグラフィを用いたが、第2図(c)の状態から更に平坦部の基板酸化膜面が露出する迄全面エッチングを続けて、自動的に凹部にゲート電極を埋込み形成するようにしてもよい。その他本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。

る。

【発明の効果】

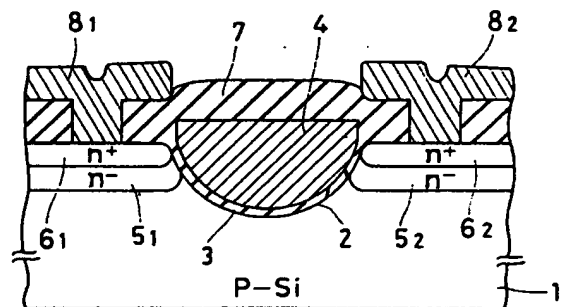
以上述べたように本発明によるMOSトランジスタでは、微細構造でパンチスルー耐圧が高く、また短チャネル効果が低減された優れた特性が得られる。

また本発明の方法によれば、その様な微細構造で且つLDD構造を持つMOSトランジスタを複雑な工程を用いることなしに実現することができる。

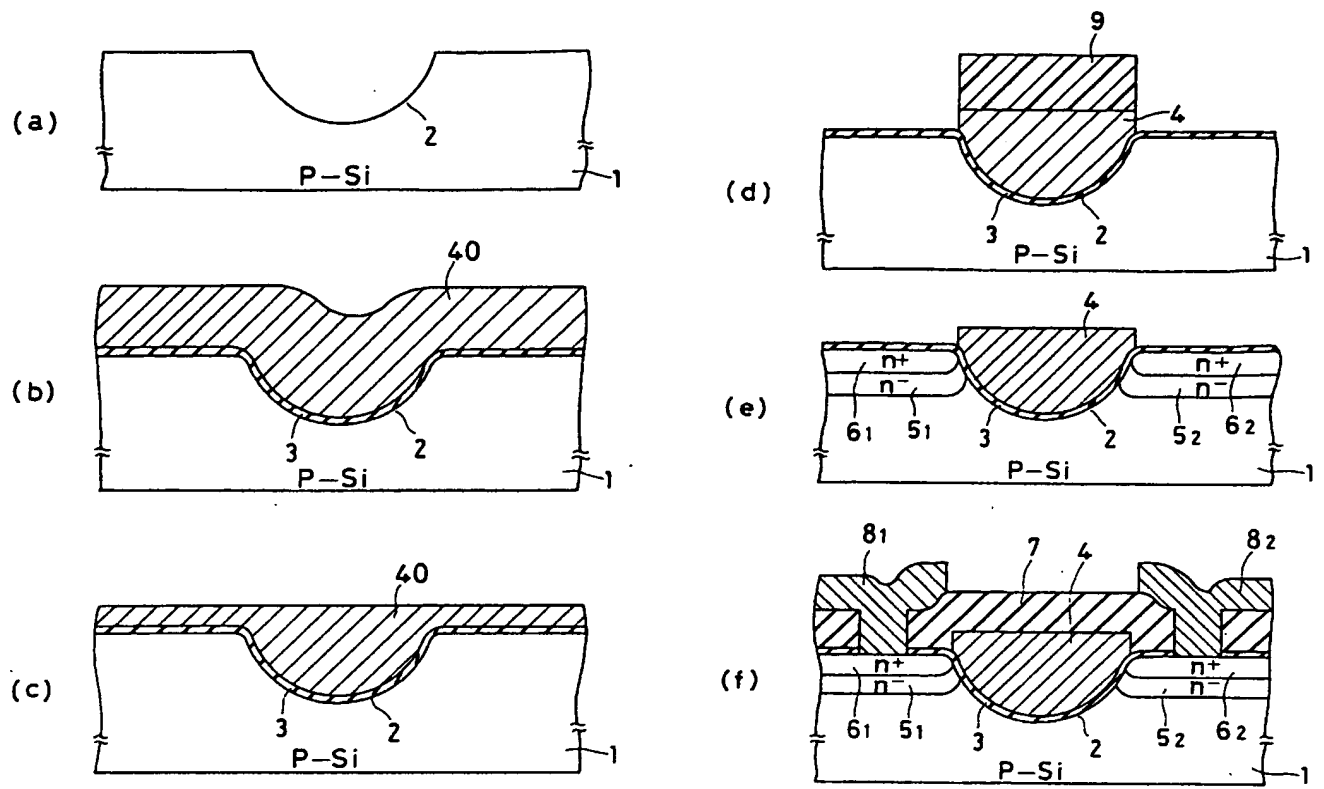
4. 図面の簡単な説明

第1図は本発明の一実施例におけるMOSトランジスタを示す断面図、第2図(a)～(f)はその製造工程を示す断面図、第3図および第4図は従来のMOSトランジスタ構造の例を示す断面図である。

1…p型S i 基板、2…半円筒型凹部、3…ゲート絶縁膜、4…ゲート電極、 5_1 、 5_2 … n^- 型層、 6_1 、 6_2 … n^+ 型層、7…C V D 絶縁膜、 8_1 、 8_2 …ソース、ドレイン電極。

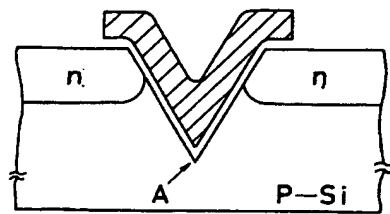


第 1 図

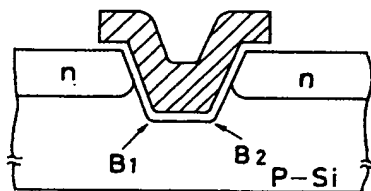


第 2 図

第 2 図



第 3 図



第 4 図